

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Masaru KIDOH et al.
U.S. Serial No. : Not Yet Assigned
Filing Date : February 25, 2004
For : ***SEMICONDUCTOR DEVICE HAVING BIT-LINE
CONTACTS, AND METHOD OF MANUFACTURING
THE SAME***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

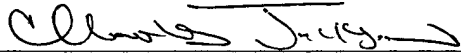
EXPRESS MAIL

Mailing Label Number: EV205872416US

Date of Deposit: February 25, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

CHARLES JACKSON
(Typed or printed name of person mailing paper or fee)


(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from Japanese Application No. 2003-095398 filed March 31, 2003, a certified copy of which is enclosed.




Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:



Grace L. Fan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月31日

出 願 番 号
Application Number:

特願2003-095398

[ST.10/C]:

[JP2003-095398]

出 願 人
Applicant(s):

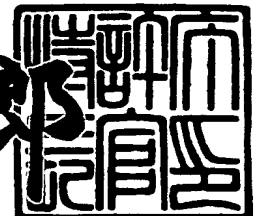
株式会社東芝



2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028157

【書類名】 特許願

【整理番号】 A000205405

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 木藤 大

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 勝又 竜太

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 青地 英明

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 森門 六月生

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 鬼頭 傑

【特許出願人】

 【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 ポリシリコンゲート電極を用いた転送ゲートトランジスタを含むダイナミック型メモリセルのアレイがシリコン基板上に形成されたセルアレイ領域と、

前記シリコン基板上にセルアレイ周辺トランジスタを含む周辺回路が形成されたセルアレイ外領域と、

前記セルアレイ領域内において、ビット線コンタクトを共有するように隣り合って配置された転送ゲートトランジスタのポリシリコンゲート電極間でゲート側壁絶縁膜を介して自己整合的に形成された導電性シリコンを用いたビット線コンタクト

とを具備することを特徴とする半導体装置。

【請求項 2】 前記ビット線コンタクトは、その底面が前記転送ゲートトランジスタのドレイン拡散層に直接にコンタクトしており、その上面はサリサイドプロセスによりシリサイドが形成されており、

前記ポリシリコンゲート電極を含むワード線の上面はサリサイドプロセスによりシリサイドが形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ゲート側壁絶縁膜は前記ビット線コンタクトとほぼ同じ高さまで形成されており、前記ゲート電極上のキャップ絶縁膜が存在しない状態で前記ワード線上面はサリサイドプロセスによりシリサイドが形成されており、前記ワード線上面のシリサイドよりも前記ビット線コンタクト上面のシリサイドの方が高い位置に存在していることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記ワード線上面のシリサイドと前記ビット線コンタクト上面のシリサイドは同じ材質であることを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 5】 前記セルアレイ外領域において、前記セルアレイ周辺トランジスタのポリシリコンゲート電極の上面および前記セルアレイ周辺トランジスタ

のドレイン／ソース領域として前記シリコン基板に選択的に形成された形成された拡散層の表面がそれぞれサリサイドプロセスによりシリサイドが形成されており、

前記セルアレイ周辺トランジスタのポリシリコンゲート電極の側面に形成されたゲート側壁絶縁膜は前記ポリシリコンゲート電極より高い位置まで延びていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記ダイナミック型メモリセルは、前記転送ゲートトランジスタとトレンチキャパシタとからなる埋め込みストラップ型トレンチセルであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記ダイナミック型メモリセルは、前記転送ゲートトランジスタとトレンチキャパシタとからなる表面ストラップ型トレンチセルであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記ダイナミック型メモリセルは、前記転送ゲートトランジスタとスタックキャパシタとからなるキャパシタ・オーバー・ビット線型スタックセルであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記ダイナミック型メモリセルは、前記転送ゲートトランジスタとスタックキャパシタとからなるキャパシタ・アンダー・ビット線型スタックセルであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 10】 前記ダイナミック型メモリセルは、前記シリコン基板にFIN 型構造で形成された転送ゲートトランジスタとトレンチキャパシタとからなる表面ストラップ型トレンチセルであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 11】 ポリシリコンゲート電極を用いた転送ゲートトランジスタとキャパシタとからなるメモリセルのアレイがシリコン基板上に形成されたセルアレイ領域と、前記シリコン基板上にセルアレイ周辺トランジスタを含む周辺回路が形成されたセルアレイ外領域と、前記セルアレイ領域内において、ビット線コンタクトを共有するように隣り合って配置された転送ゲートトランジスタのポ

リシリコンゲート電極間でゲート側壁絶縁膜を介して自己整合的に形成された導電性シリコンを用いたビット線コンタクトとを備えた半導体装置を製造する際、

ゲート電極の形成、ゲート間ギャップの埋め込みと平坦化、セルフアラインプロセスによるビット線コンタクトの形成、ゲートキャップ絶縁膜の剥離、サリサイドプロセスの順に実施する工程を含むことを特徴とする半導体装置の製造方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に半導体記憶装置のメモリセルアレイにおけるビット線コンタクトの構造およびその形成方法に関するもので、例えばダイナミック型ランダムアクセスメモリ(DRAM)もしくはDRAM混載デバイスに使用されるものである。

【0002】

【従来の技術】

DRAMもしくはDRAM混載デバイスのセルアレイ領域を形成する際、従来は、サリサイドプロセス(Salicide Process)によってメモリセルの転送ゲート用の絶縁ゲート型トランジスタ(MOSFET)のポリシリコンゲート電極およびドレイン・ソース領域の各上面にシリサイド層を形成した後に、隣り合う2個のMOSFETの共有ドレイン領域上にビット線コンタクトを形成していた。この場合、サリサイドプロセス後のポリシリコンゲート電極上にキャップ絶縁膜(例えばSiN膜)を形成することが困難であったので、隣り合う2個のポリシリコンゲート電極に対して自己整合的なビット線コンタクト、つまり、セルフアラインコンタクト(Self-align contact、以下、SACと記す)を形成することができなかった。

【0003】

そこで、ビット線コンタクト形成部の隣り合うポリシリコンゲート電極相互間のスペースを大きく設計し、セルフアラインを用いずにビット線コンタクトを形成していたが、セルアレイの面積が増大してしまうという問題があった。また、シリコン基板のセルアレイ領域内のドレイン・ソース領域の上面に直接にシリサ

イドを形成（シリサイデーション）していたので、ジャンクションリークの劣化などが懸念されていた。

【 0 0 0 4 】

なお、特許文献 1 には、周辺回路にのみサリサイドプロセスが実施された DRAM が開示されており、特許文献 2 には、セルアレイ領域におけるゲートコンタクト以外の部分にサリサイドプロセスが実施された DRAM が開示されている。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 1 - 8 5 6 4 3 号公報

【 0 0 0 6 】

【特許文献 2】

特開 2 0 0 1 - 9 1 5 3 5 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

上記したように従来の DRAM もしくは DRAM 混載デバイスのメモリセルアレイにおけるビット線コンタクトを形成する際、セルフアラインコンタクトを形成することができないという問題があった。

【 0 0 0 8 】

本発明は上記の問題点を解決すべくなされたもので、セルアレイ領域におけるビット線コンタクトの幅を小さく形成し、セルアレイ面積を縮小することが可能になるとともに、ワード線およびビット線コンタクトを低抵抗化し、ジャンクションリークを改善することが可能になる半導体装置およびその製造方法を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の半導体装置は、ポリシリコンゲート電極を用いた転送ゲートトランジスタを含むダイナミック型メモリセルのアレイがシリコン基板上に形成されたセルアレイ領域と、前記シリコン基板上にセルアレイ周辺トランジスタを含む周辺回路が形成されたセルアレイ外領域と、前記セルアレイ領域内において、ドレイ

ン領域を共有するように隣り合って配置された転送ゲートトランジスタの各ポリシリコンゲート電極間でゲート側壁絶縁膜を介して自己整合的に形成された導電性シリコンを用いたビット線コンタクトとを具備することを特徴とする。

【 0 0 1 0 】

本発明の半導体装置の製造方法は、ポリシリコンゲート電極を用いた転送ゲートトランジスタとキャパシタとからなるメモリセルのアレイがシリコン基板上に形成されたセルアレイ領域と、前記シリコン基板上にセルアレイ周辺トランジスタを含む周辺回路が形成されたセルアレイ外領域と、前記セルアレイ領域内において、ドレイン領域を共有するように隣り合って配置された転送ゲートトランジスタの各ポリシリコンゲート電極間でゲート側壁絶縁膜を介して自己整合的に形成された導電性シリコンを用いたビット線コンタクトとを備えた半導体装置を製造する際、ゲート電極の形成、ゲート間ギャップの埋め込みと平坦化、セルフアラインプロセスによるビット線コンタクトの形成、ゲートキャップ絶縁膜の剥離、サリサイドプロセスの順に実施する工程を含むことを特徴とする。

【 0 0 1 1 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 1 2 】

<第 1 の実施形態 (BS型トレンチDRAM)>

図 1 は、本発明の第 1 の実施形態として、シリコン基板上に埋め込みストラップ(BS)型トレンチセル (DRAMセル) のアレイが形成されたDRAMの断面構造の一部を概略的に示している。

【 0 0 1 3 】

図 1 において、10は基板表層部のウエル領域、11はセルアレイ領域、12はセルアレイ外領域である。13は基板表層部に選択的に形成されたシャロー・トレンチ型の素子分離(STI) 領域である。セルアレイ領域11には、BS型トレンチセルのアレイが形成され、セルアレイ外領域12には周辺トランジスタを含む周辺回路が形成される。BS型トレンチセルは、BS型トレンチキャパシタと転送ゲート用トランジスタ (NMOSFET) とからなる。

【 0 0 1 4 】

14は基板上に薄く形成されたゲート絶縁膜、15は基板上に前記ゲート絶縁膜14を介して形成されたNMOSFET のポリシリコンゲート電極（セルアレイ領域11ではワード線の一部）、16はセルアレイ領域11の転送ゲート用トランジスタのゲート側壁・スペース絶縁膜、18および19は転送ゲート用トランジスタのドレイン領域およびソース領域として基板表層部に選択的に形成された不純物拡散層(N+)である。17はセルアレイ外領域12の周辺トランジスタのゲート側壁・スペース絶縁膜、18aおよび19aは周辺トランジスタのドレイン領域およびソース領域として基板表層部に選択的に形成された不純物拡散層(N+)である。

【 0 0 1 5 】

BS型トレンチキャパシタは、トレンチ内面にキャパシタ絶縁膜20を介してトレンチ内部にストレージノードとして導電性ポリシリコン21が埋め込まれており、導電性ポリシリコン21の上面を覆うようにカラー絶縁膜22が形成されている。この場合、カラー絶縁膜22より少し低い位置までキャパシタ絶縁膜20が形成されており、キャパシタ絶縁膜20とカラー絶縁膜22との隙間を通じてトレンチ内部の導電性ポリシリコン21が転送ゲート用NMOSFET のソース領域19に連なっている。

【 0 0 1 6 】

23はセルフアラインプロセスによって形成されたビット線コンタクトであり、このビット線コンタクト23は、ドレイン領域18を共有するように隣り合って配置された2個の転送ゲート用トランジスタの各ポリシリコンゲート電極15間で、ゲート側壁・スペース絶縁膜16を介して自己整合的に形成された導電性シリコン（例えばポリシリコンプラグ）からなり、上記共有ドレイン領域18の上面にコンタクトしている。

【 0 0 1 7 】

セルアレイ領域11のゲート側壁・スペース絶縁膜16およびセルアレイ外領域12のゲート側壁・スペース絶縁膜17は、ビット線コンタクト23とほぼ同じ高さまで形成されており、ポリシリコンゲート電極15の上面、ポリシリコンプラグ（ビット線コンタクト23）の上面およびセルアレイ外領域12におけるドレイン領域18a／ソース領域19a の上面にシリサイド層24が形成されている。

【 0 0 1 8 】

25は層間絶縁膜、26はメタル配線コンタクト、27はメタル配線であり、メタル配線27はセルアレイ領域11のビット線、セルアレイ外領域12におけるゲート配線、ドレイン配線およびソース配線を含む。

【 0 0 1 9 】

セルアレイ領域の製造過程では、ポリシリコンゲート電極15上にキャップ絶縁膜（例えば SiN）が形成された状態で、ポリシリコンゲート電極15およびキャップ絶縁膜の側面に残るようにゲート側壁・スペース絶縁膜16が形成された後、所望のポリシリコンゲート電極15相互間にポリシリコンプラグが埋め込まれることによって自己整合的にビット線コンタクト23が形成される。この後、ポリシリコンゲート電極15を含むワード線上面およびポリシリコンプラグ上面にシリサイド層24が形成される。

【 0 0 2 0 】

これにより、ワード線上面のシリサイド層24よりもポリシリコンプラグ上面のシリサイド層24の方が高い位置に存在している。この場合、ワード線上面のシリサイド層24とポリシリコンプラグ上面のシリサイド層24は、それぞれ同じ材質（例えばCo/Ti/TiN の順に膜が下層から上層に積層された構造）である。

【 0 0 2 1 】

一方、図1中のセルアレイ外領域12においては、セルアレイ領域11内の転送ゲート用トランジスタと同様に、製造過程では周辺トランジスタのポリシリコンゲート電極15上にキャップ絶縁膜（例えば SiN）が形成された状態で、ポリシリコンゲート電極15およびキャップ絶縁膜の側面に残るようにゲート側壁・スペース絶縁膜17が形成されている。したがって、ゲート側壁・スペース絶縁膜17は、ゲート電極15より高く、セルアレイ領域11内のポリシリコンプラグ23とほぼ同じ高さまで形成されている。そして、ゲート電極15上のキャップ絶縁膜が除去された状態で、シリサイドプロセスによりゲート電極15の上面および周辺トランジスタ部のSi基板表面のドレイン領域18a／ソース領域19aの上面にそれぞれシリサイド層24が形成されることによって、低抵抗化されている。

【 0 0 2 2 】

上記したような構成のDRAMを製造する際、セルアレイ領域11内の基板面のシリサイドーションを行うことなく、SAC プロセスを用いてビット線コンタクト23をポリシリコンプラグで形成する。この後、シリサイドプロセスを用いて、セルアレイ領域11におけるポリシリコンゲート電極15（ワード線の一部）の上面およびビット線コンタクト23の上面、セルアレイ領域外におけるポリシリコンゲート電極15の上面およびソース領域18a／ソース領域19aの上面にシリサイド層24を形成し、低抵抗化することができる。この際、セルアレイ領域11における基板表面を直接にシリサイドーションすることがなく、ジャンクションリークを改善することが可能になる。

【 0 0 2 3 】

また、上記したようにSAC プロセスを用いて導電性シリコンでビット線コンタクト23を形成することによって、ビット線コンタクト23の幅を小さく形成し、ビット線コンタクト形成部の隣り合うポリシリコンゲート電極15相互間のスペースを従来例よりも狭くし、セルアレイの面積を縮小することが可能になる。

【 0 0 2 4 】

図2乃至図14は、図1に示したような構成のBS型トレンチセルを用いるDRAMの製造工程を概略的に示す。

【 0 0 2 5 】

まず、図2に示すように、セルアレイ領域11にトレンチキャパシタ(20,21,22)の形成→BSの形成→素子分離構造（図示せず）の形成→ウエル領域10の形成→ゲート酸化膜14の形成→ポリシリコンゲート電極形成用のポリシリコン層15aの堆積→ストッパSiN膜34aの堆積→マスクBSG膜35aの堆積→キャップSiN膜36aの堆積の順に実施する。

【 0 0 2 6 】

次に、図3に示すように、PEP（写真蝕刻）工程によりゲート電極を形成するためのレジストパターン（図示せず）を形成し、このレジストパターンをエッチングマスクとしてRIE（反応性イオンエッチング）工程を行うことによって、キャップSiN膜36a、マスクBSG膜35aをパターンニングする。

【 0 0 2 7 】

次に、図 4 に示すように、前記パターンニングされたマスク SiN 膜 36a、マスク BSG 膜 35a をエッチングマスクとする RIE を行うことによって、ポリシリコン層 15a をパターンニングし、ポリシリコンゲート電極 15 を形成する。これにより、ポリシリコンゲート電極 15 上にキャップ絶縁膜（キャップ SiN 膜 36、マスク BSG 膜 35、ストッパ SiN 膜 34）が残された状態になる。

【 0 0 2 8 】

この後、図 5 に示すように、酸化を行い、ゲート絶縁膜 (Ox 膜) 14 およびゲート表面保護膜 (Ox) 51 を形成する。そして、トランジスタの LDD 構造のドレイン／ソースの低濃度領域を形成するためのイオンインプラを行う。

【 0 0 2 9 】

次に、図 6 に示すように、CVD 法により SiN 層を堆積し、RIE を行うことによってセルアレイ領域 11 におけるゲート表面保護膜 (Ox) 51 上にゲート側壁スペーサ SiN 膜（バリアー SiN 膜）61 を形成する。そして、セルアレイ領域のトランジスタのドレイン／ソースの高濃度領域を形成するためのイオンインプラを行う。

【 0 0 3 0 】

さらに、図 7 に示すように、CVD 法により TEOS 膜 71a を堆積し、RIE を行うことによってセルアレイ外領域におけるゲート側壁スペーサ TEOS 膜 71 を形成する。この際、セルアレイ領域 11 のポリシリコンゲート電極 15 相互間が TEOS 膜 71a で埋まった状態になる。そして、セルアレイ外領域 12 のトランジスタのドレイン／ソースの高濃度領域を形成するためのイオンインプラを行う。

【 0 0 3 1 】

次に、図 8 に示すように、CVD 法により BSG 膜（または BPSG 膜）を堆積し、CMP（化学的機械研磨）により平坦化を行うことによって、セルアレイ外領域 12 のゲート間ギャップへの BSG 膜（または BPSG 膜）251 の埋め込みを行う。

【 0 0 3 2 】

その後、図 9 に示すように、PEP 工程と RIE 工程を行い、セルアレイ領域 11 のポリシリコンゲート電極 15 相互間に埋まっているスペーサ膜 (SiN 膜) 61 をバリアーとして TEOS 膜 71a を除去する SAC プロセスによって、隣り合う 2 個のトランジスタで共有されているドレイン領域（図 1 中の 18 参照）上にビット線コンタクト

用のホール91を形成する。

【 0 0 3 3 】

次に、図 1 0 に示すように、CVD 法を用いて P 型アモルファスシリコン (P-aSi) を堆積して平坦化を行うことによってビット線コンタクト23を埋め込み、その上部のリセスエッチングを行う。その後、図 1 1 に示すように、ポリシリコンゲート電極15上のゲート表面保護膜51とキャップSiN 膜36をエッチバックする。

【 0 0 3 4 】

次に、図 1 2 に示すように、ポリシリコンゲート電極15上のマスクBSG 膜35およびストッパSiN 膜34、セルアレイ領域外12におけるソース領域 (図 1 中の19a 参照) /ドレイン領域 (図 1 中の18a 参照) 上のBSG 膜251 を剥離する。

【 0 0 3 5 】

そして、図 1 3 に示すように、セルアレイ領域外12におけるソース領域 /ドレイン領域上のゲート絶縁膜14を除去した後、サリサイドプロセスによって、ポリシリコンゲート電極15の上面、ビット線コンタクト23の上面およびセルアレイ領域外12におけるソース /ドレイン領域の上面にシリサイド層24を形成する。このサリサイドプロセスにおいては、まず、スパッタ法によりCo膜、Ti膜、TiN 膜を形成し、第 1 回目の高速熱処理 (RTA) 、非反応性のウェットエッチング、第 2 回目の高速熱処理 (RTA) を順次行う。

【 0 0 3 6 】

次に、図 1 4 に示すように、層間絶縁膜25として、ライナーSiN 膜252、NSG 膜 (あるいは O_3 TEOS膜) 253 を堆積し、CMP 工程を行い、さらにプラズマTEOS 膜254 の堆積を行う。その後、図 1 中に示したようなメタル配線コンタクト26とメタル配線27を形成する。なお、表示の簡単化のために、図 1 中に示したセルアレイ領域11におけるソース領域19 /ドレイン領域18、セルアレイ領域外12におけるソース領域19a /ドレイン領域18a の図示は省略している。

【 0 0 3 7 】

なお、前記した図 6 および図 7 に示した工程の一部を、セルアレイ領域11とセルアレイ外領域12とで別のプロセスにより実施することも可能である。

【 0 0 3 8 】

＜第 2 の実施形態（SS 型トレンチ DRAM）＞

図 1 5 は、本発明の第 2 の実施形態として、シリコン基板上に表面ストラップ（SS）型トレンチセルのアレイが形成された DRAM の断面構造の一部を概略的に示している。

【 0 0 3 9 】

図 1 5 中に示す SS 型トレンチセルは、図 1 中に示した BS 型トレンチセルと比べて、トレンチキャパシタのトレンチ内埋め込み導電層（ストレージノード）21 の表面と転送ゲート用トランジスタのソース領域 19 が、SAC プロセスによって導電性シリコン（ゲート電極 15 と同じ材質）で形成されたストレージノードコンタクト 150 を介して接続されており、このストレージノードコンタクト 150 の上面にシリサイド層 24 が形成されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

【 0 0 4 0 】

このような構成の SS 型トレンチセルを用いる DRAM の製造工程は、図 2 乃至図 1 4 を参照して前述した BS 型トレンチセルを用いる DRAM の製造工程に準じて行う。即ち、トレンチキャパシタの形成→素子分離構造の形成→ウエル領域 10 の形成→ポリシリコンゲート電極 15 の形成→ゲート間ギャップの埋め込みと平坦化→SAC プロセスによるストレージノードコンタクト 150 およびビット線コンタクト 23 の形成→ゲートキャップ絶縁膜の剥離→シリサイドプロセス→層間絶縁膜 25 の形成→メタル配線コンタクト 26 とメタル配線 27 の形成の順に実施する。

【 0 0 4 1 】

この際、図 9 中に示したようにビット線コンタクト用のコンタクトホール 91 を形成すると同時に、図 9 中の A 部に示すように、トレンチ内部に埋め込まれている導電性ポリシリコン 21 と転送ゲートトランジスタのソース領域 19 とを接続するためのストレージノード用のコンタクトホールも形成する。そして、ストレージノードコンタクト 150 をビット線コンタクト 23 と同時に形成し、その上面にシリサイド層 14 をビット線コンタクト 23 と同様に形成する。

【 0 0 4 2 】

＜第 3 の実施形態（COB 型スタック DRAM）＞

図 1 6 は、本発明の第 3 の実施形態として、シリコン基板上にキャパシタ・オーバー・ビット線(COB) 型スタックセルのアレイが形成されたDRAMの断面構造の一部を概略的に示している。

【 0 0 4 3 】

図 1 6 中に示すCOB 型スタックセルは、図 1 中に示したBS型トレンチセルと比べて、トレンチセルの代わりに、ビット線より下層側にスタックセルが形成されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

【 0 0 4 4 】

図 1 6 中に示す構成のCOB 型スタックセルを用いるDRAMの製造工程は、素子分離構造の形成→ウエル領域10の形成→ポリシリコンゲート電極15の形成→ゲート間ギャップの埋め込みと平坦化→SAC プロセスによるストレージノードコンタクト150 およびビット線コンタクト23の形成→ゲートキャップ絶縁膜の剥離→サリサイド→層間絶縁膜25の形成→メタル配線コンタクト26とメタル配線27の形成→層間絶縁膜25a の形成→スタックキャパシタ160 →メタル配線コンタクト26a とビット線27a の形成の順に実施する。

【 0 0 4 5 】

<第 4 の実施形態 (CUB 型スタックDRAM) >

図 1 7 は、本発明の第 4 の実施形態として、シリコン基板上にキャパシタ・アンダー・ビット線(CUB) 型スタックセルのアレイが形成されたDRAMの断面構造の一部を概略的に示している。

【 0 0 4 6 】

図 1 7 中に示すCUB 型スタックセルは、図 1 中に示したBS型トレンチセルと比べて、トレンチセルの代わりに、ビット線より上層側にスタックセルが形成されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

【 0 0 4 7 】

図 1 7 中に示す構成のCUB 型スタックセルを用いるDRAMの製造工程は、素子分離構造の形成→ウエル領域10の形成→ポリシリコンゲート電極15の形成→ゲート間ギャップの埋め込みと平坦化→SAC プロセスによるストレージノードコンタクト150 およびビット線コンタクト23の形成→ゲートキャップ絶縁膜の剥離→サリ

サイド→層間絶縁膜25の形成→メタル配線コンタクト26とメタル配線27の形成→層間絶縁膜25a の形成→スタックキャパシタ170 の形成の順に実施する。

【 0 0 4 8 】

＜第5の実施形態（FIN 型トランジスタを有するSS型トレンチDRAM）＞

図18は、本発明の第5の実施形態として、シリコン基板上にFIN 型トランジスタを有するSS型トレンチセルのアレイが形成されたDRAMの断面構造の一部を概略的に示している。

【 0 0 4 9 】

図18中に示すFIN 型トランジスタを有するSS型トレンチセルは、図15中に示したSS型トレンチセルと比べて、転送ゲート用トランジスタとして、FIN 構造を有するトランジスタの形成部180 が設けられている点が異なり、その他は同じであるので図15中と同一符号を付している。

【 0 0 5 0 】

図18中に示すFIN 型トランジスタの形成部180 では、基板表面にアクティブエリアを突出させるように形成し、この凸状のアクティブエリアの上面にキャップ絶縁膜（例えばSiN 膜）を形成し、アクティブエリアの側壁にゲート絶縁膜を介してポリシリコンゲート電極を形成し、アクティブエリアの側壁表面をチャネルとする構造を有する。

【 0 0 5 1 】

このような構成のFIN 型トランジスタを有するSS型トレンチセルを用いるDRAMの製造工程は、素子分離構造の形成→ウエル領域10の形成→FIN 型トランジスタのゲートポリシリコンの堆積と平坦化→SS型トレンチキャパシタの形成→FIN 型トランジスタのゲート電極の形成→周辺トランジスタのゲート電極15の形成→ゲート間ギャップの埋め込みと平坦化→SAC プロセスによるストレージノードコンタクト150 およびビット線コンタクト23の形成→ゲートキャップ絶縁膜の剥離→サリサイドプロセス→層間絶縁膜25の形成→メタル配線コンタクト26とメタル配線27の形成の順に実施する。

【 0 0 5 2 】

【発明の効果】

上述したように本発明の半導体装置およびその製造方法によれば、セルアレイ領域におけるビット線コンタクトの幅を小さく形成し、セルアレイ面積を縮小することが可能になるとともに、ワード線およびビット線コンタクトを低抵抗化し、ジャンクションリークを改善することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態として、シリコン基板上に埋め込みストラップ(BS)型トレンチセルのアレイが形成されたDRAMの構造の一部を概略的に示す断面図。

【図 2】 図 1 のDRAMの製造工程の一部を示す断面図。

【図 3】 図 2 の工程に続く工程を示す断面図。

【図 4】 図 3 の工程に続く工程を示す断面図。

【図 5】 図 4 の工程に続く工程を示す断面図。

【図 6】 図 5 の工程に続く工程を示す断面図。

【図 7】 図 6 の工程に続く工程を示す断面図。

【図 8】 図 7 の工程に続く工程を示す断面図。

【図 9】 図 8 の工程に続く工程を示す断面図。

【図 1 0】 図 9 の工程に続く工程を示す断面図。

【図 1 1】 図 1 0 の工程に続く工程を示す断面図。

【図 1 2】 図 1 1 の工程に続く工程を示す断面図。

【図 1 3】 図 1 2 の工程に続く工程を示す断面図。

【図 1 4】 図 1 3 の工程に続く工程を示す断面図。

【図 1 5】 本発明の第 2 の実施形態として、シリコン基板上に表面ストラップ(SS)型トレンチセルのアレイが形成されたDRAMの構造の一部を概略的に示す断面図。

【図 1 6】 本発明の第 3 の実施形態として、シリコン基板上にキャパシタ・オーバー・ビット線(COB)型スタックセルのアレイが形成されたDRAMの構造の一部を概略的に示す断面図。

【図 1 7】 本発明の第 4 の実施形態として、シリコン基板上にキャパシタ・アンダー・ビット線(CUB)型スタックセルのアレイが形成されたDRAMの構造の

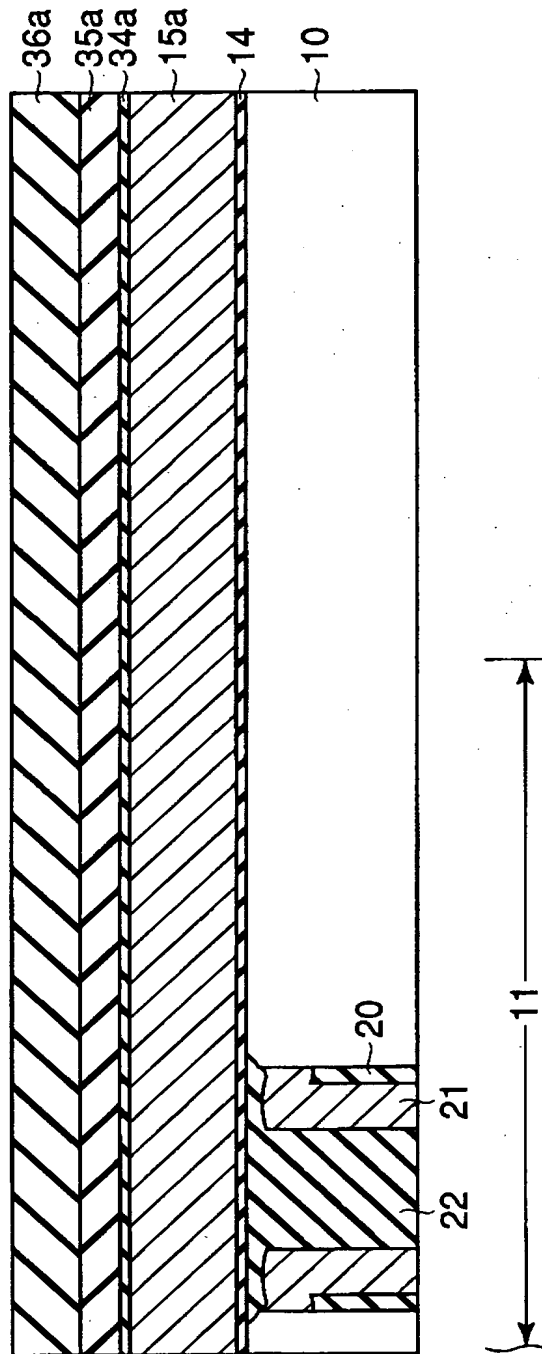
一部を概略的に示す断面図。

【図 1 8】 本発明の第 5 の実施形態として、シリコン基板上に FIN 型トランジスタを有する SS 型トレンチセルのアレイが形成された DRAM の構造の一部を概略的に示す断面図。

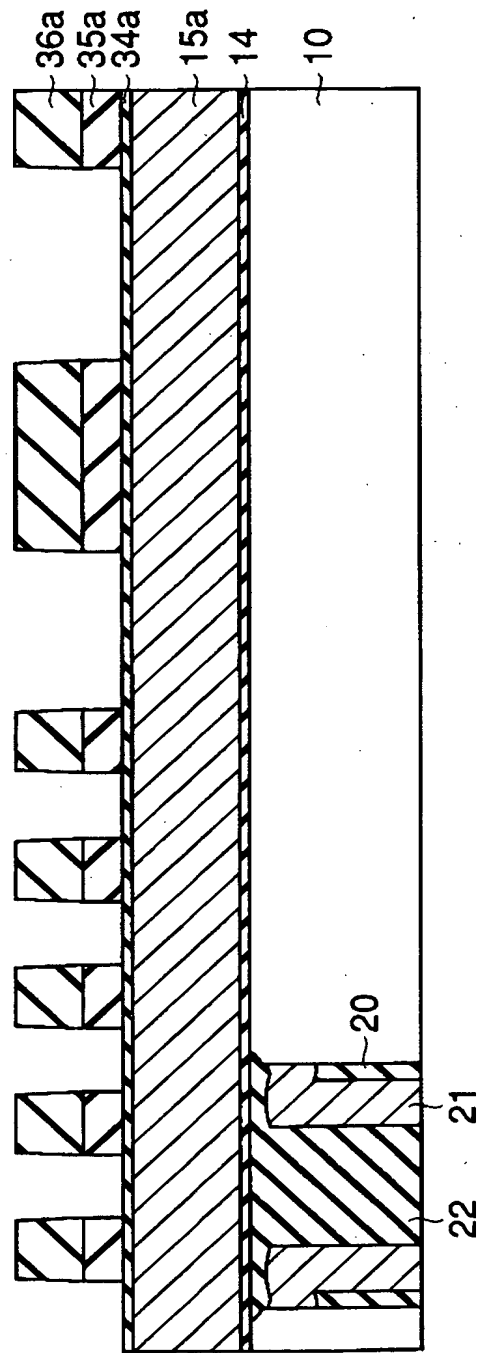
【符号の説明】

10…ウエル領域、11…セルアレイ領域、12…セルアレイ外領域、13…素子分離 (S TI) 領域、14…ゲート絶縁膜、15…ポリシリコンゲート電極、16…ゲート側壁・スペース絶縁膜、17…ゲート側壁・スペース絶縁膜、18…転送ゲート用 NMOSFET のドレイン領域 (N+拡散層)、19…転送ゲート用 NMOSFET のソース領域 (N+拡散層)、18a …周辺トランジスタのドレイン領域 (N+拡散層)、19a …周辺トランジスタのソース領域 (N+拡散層)、20…キャパシタ絶縁膜、21…トレンチ内部の導電性ポリシリコン (ストレージノード)、22…カラー絶縁膜、23…ビット線コンタクト、24…シリサイド層、25…層間絶縁膜、26…メタル配線コンタクト、27…メタル配線。

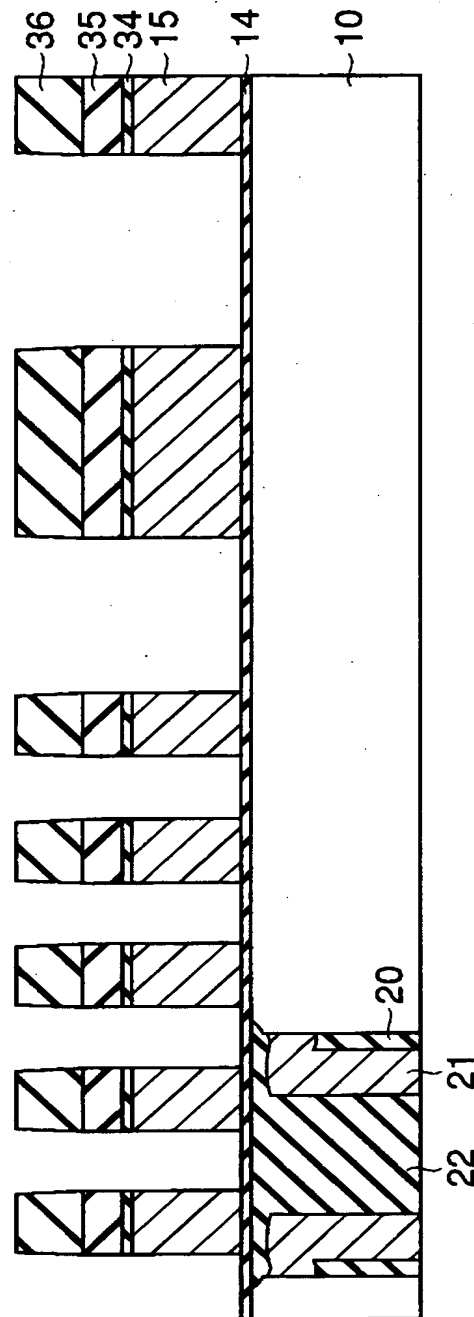
【図 2】



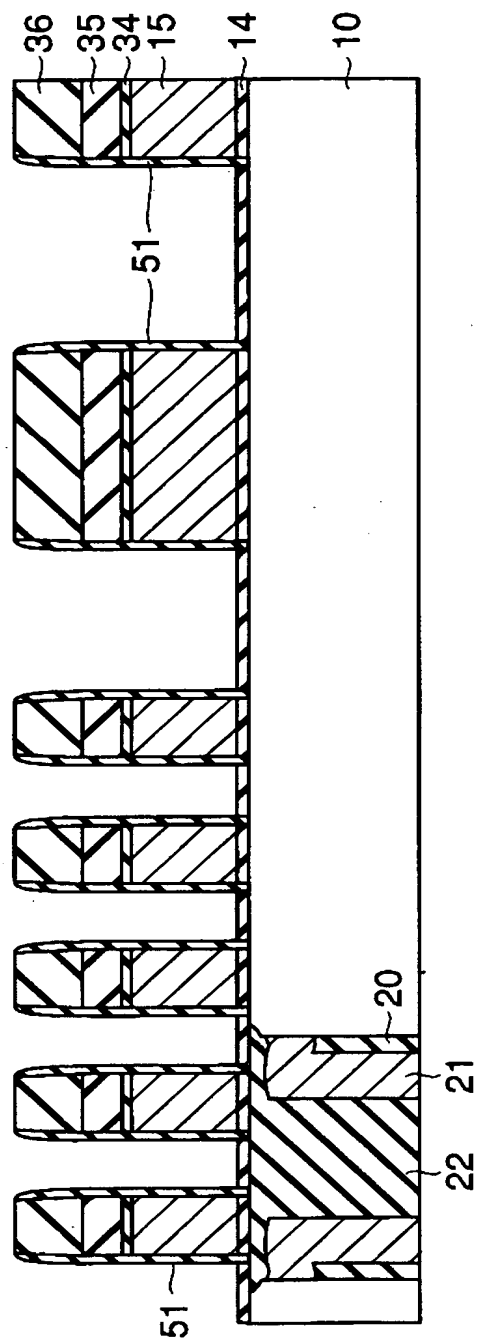
【図 3】



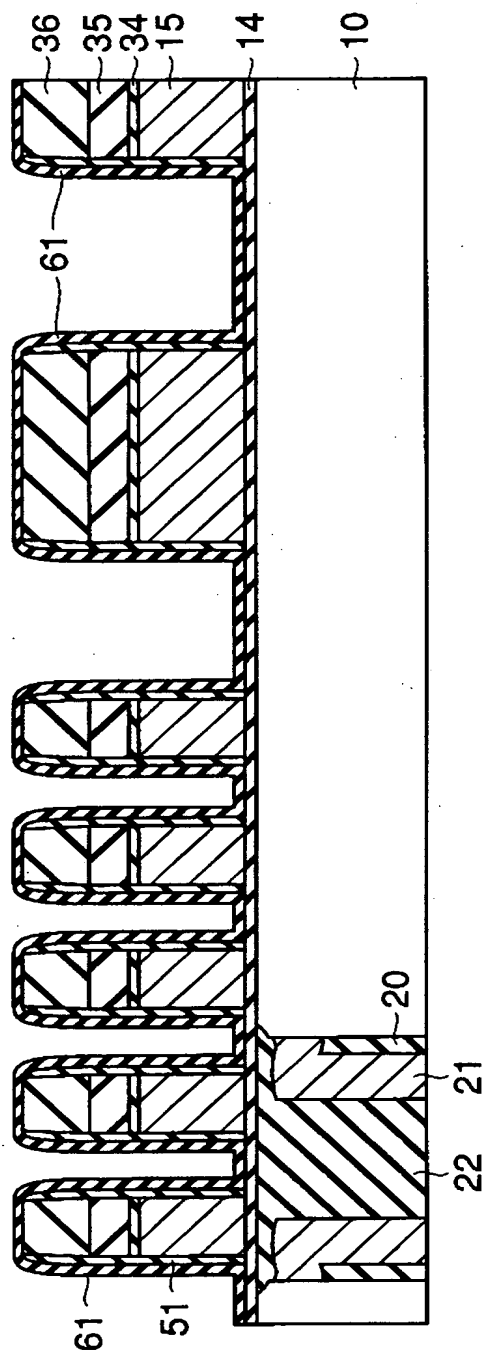
【図 4】



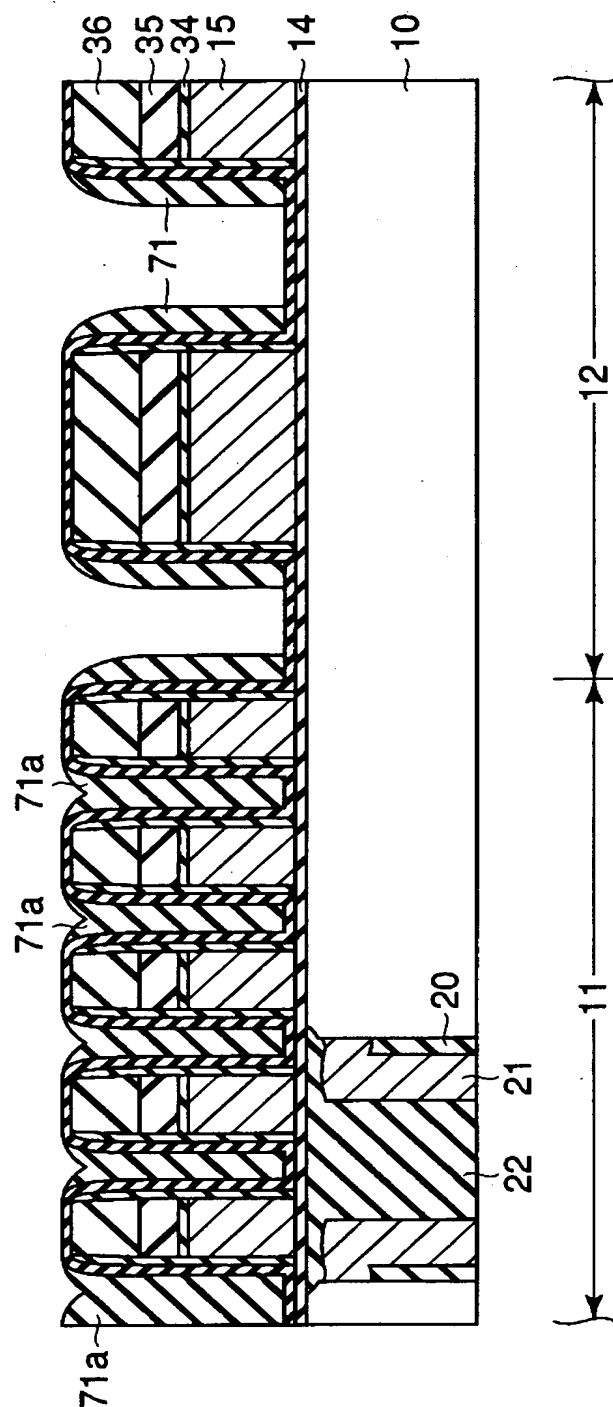
【図 5】



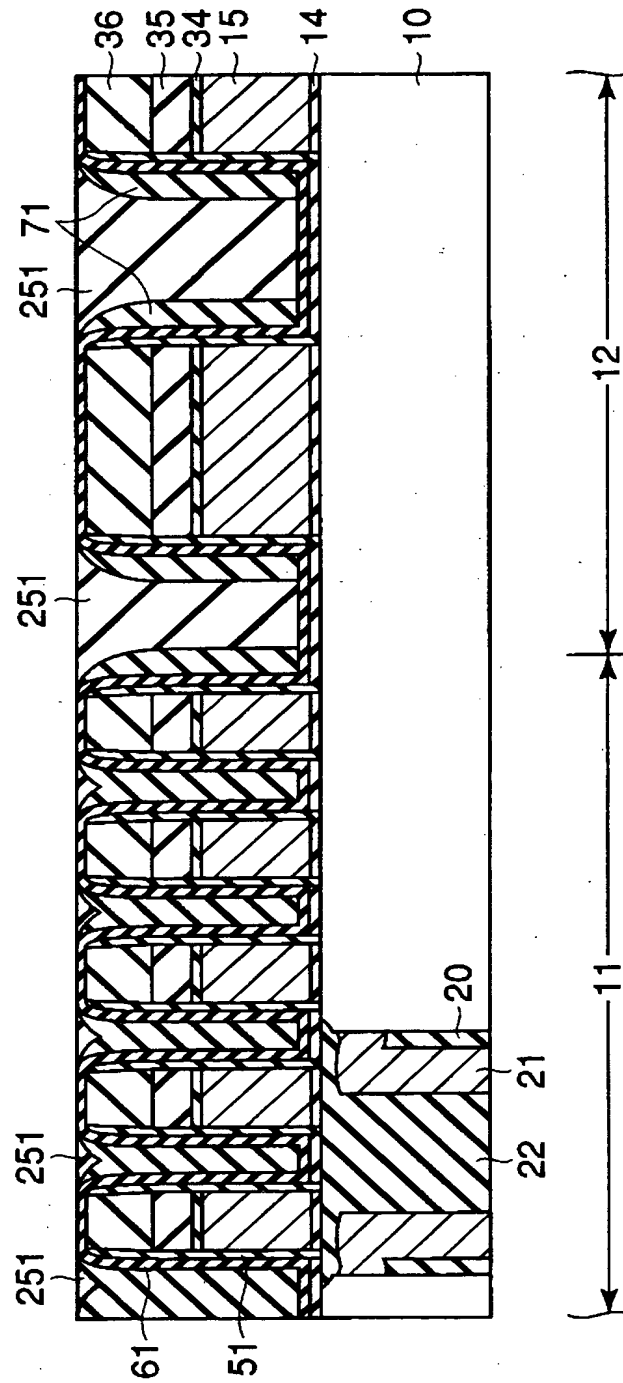
【図 6】



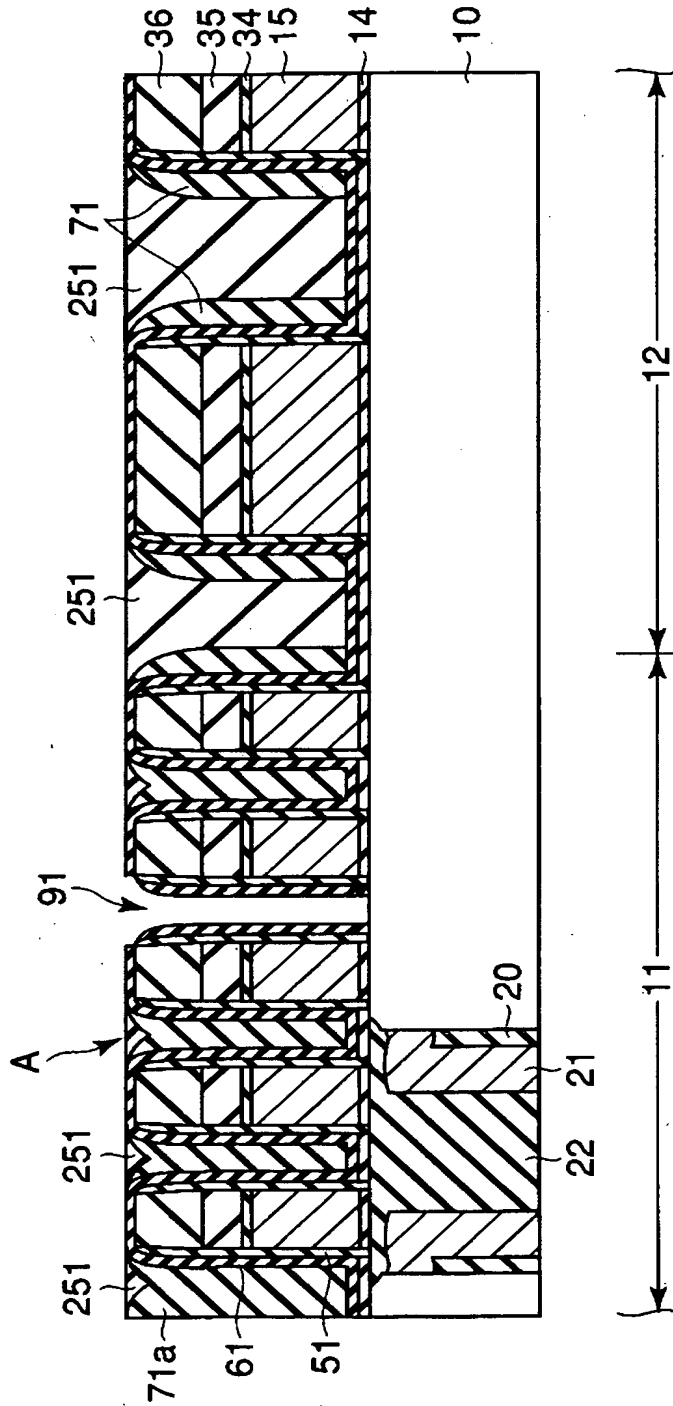
【図 7】



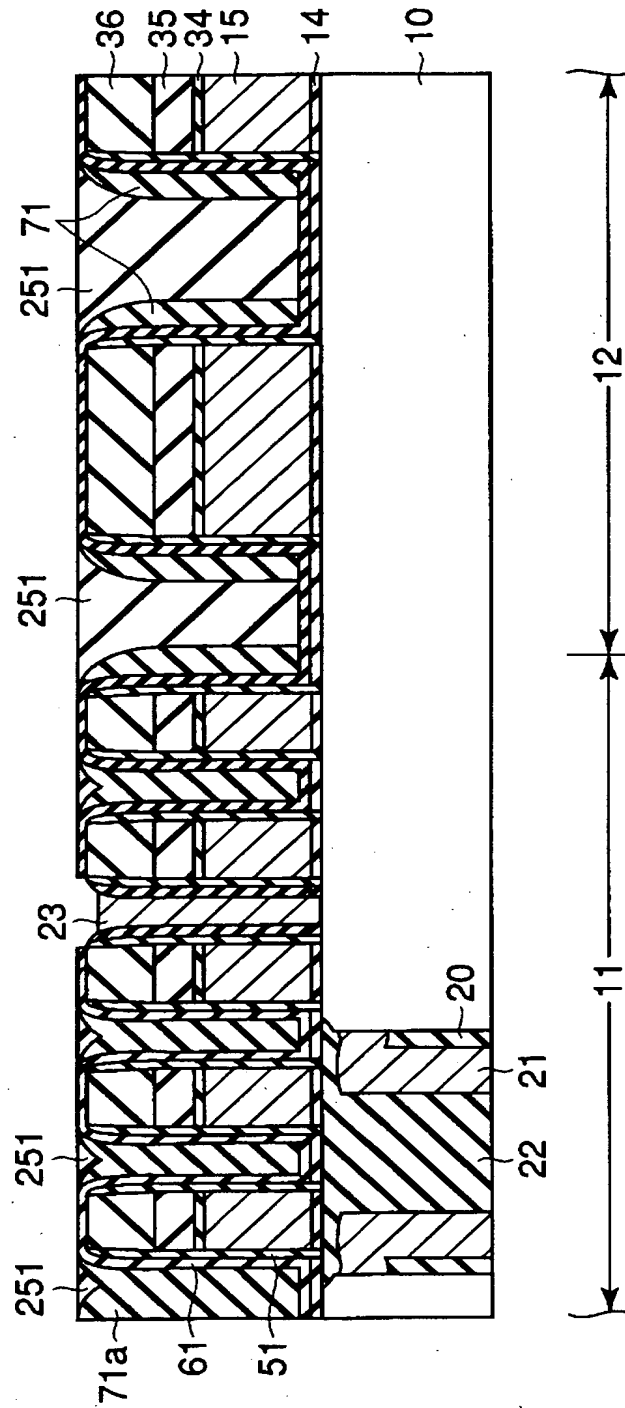
【図 8】



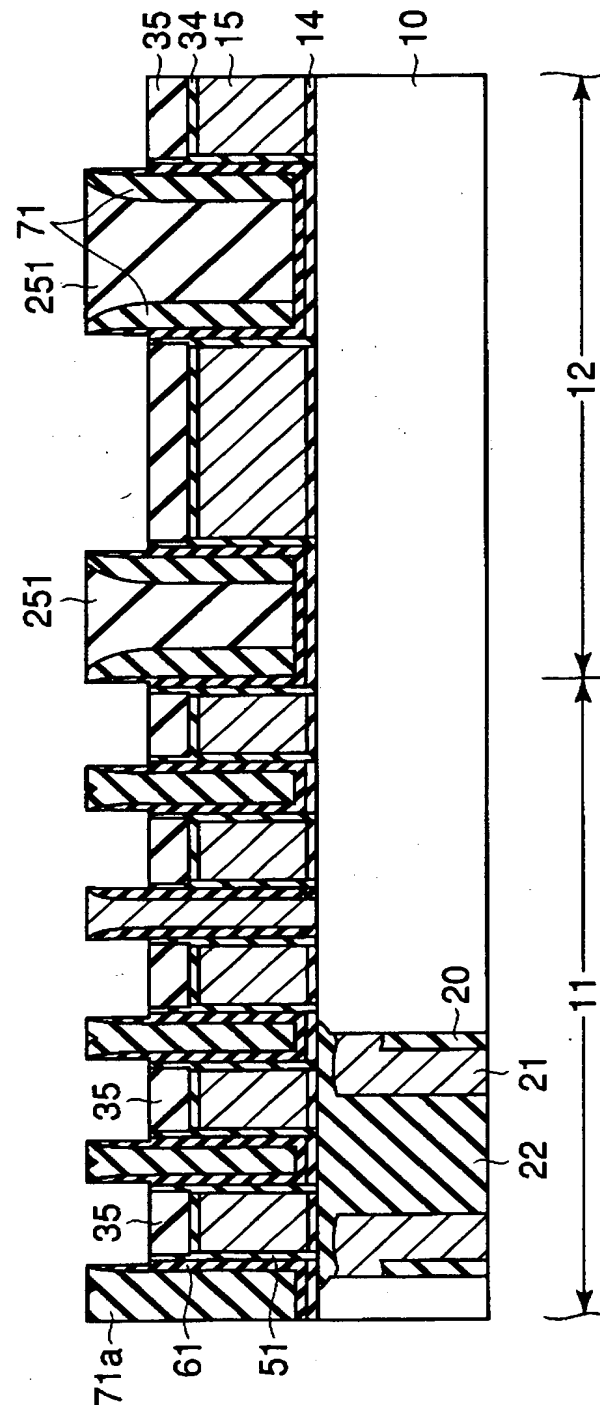
【図9】



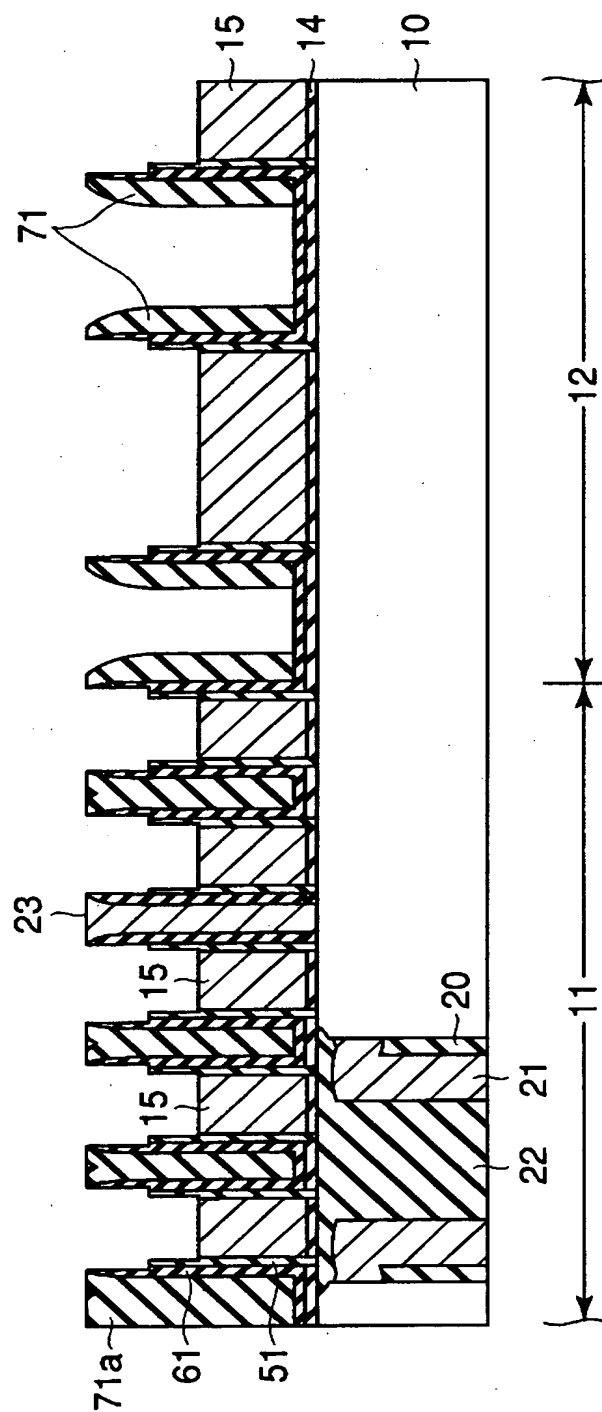
【図 10】



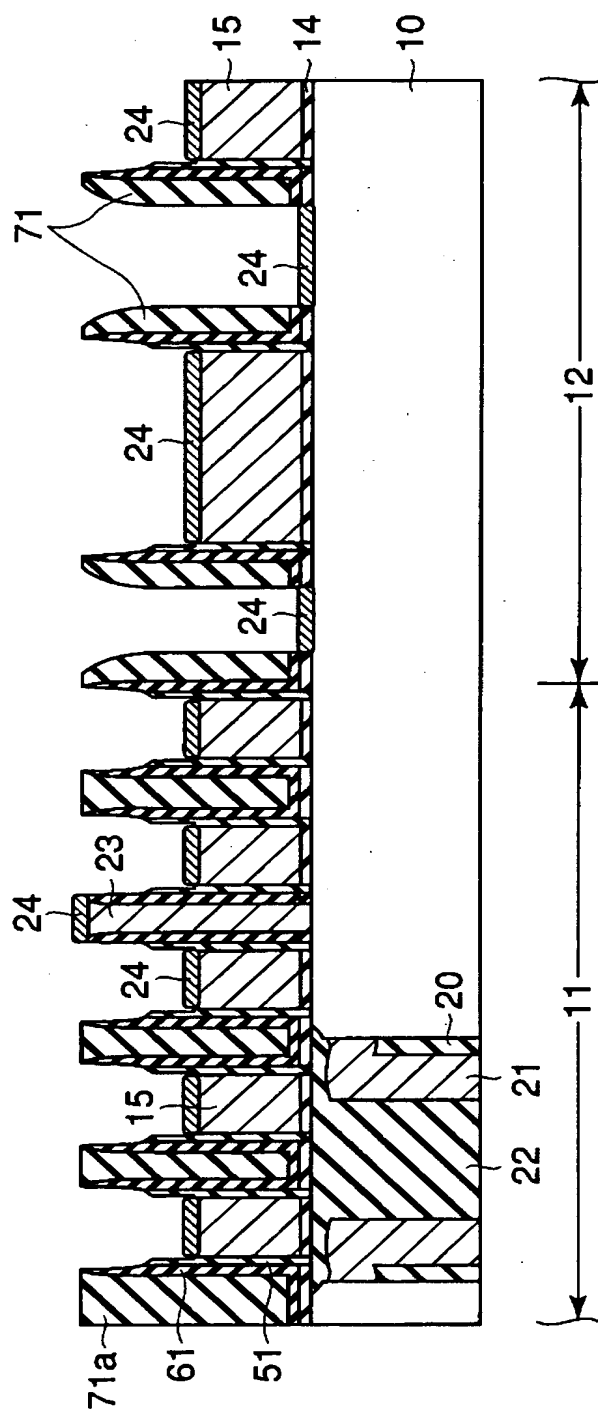
【図 1 1】



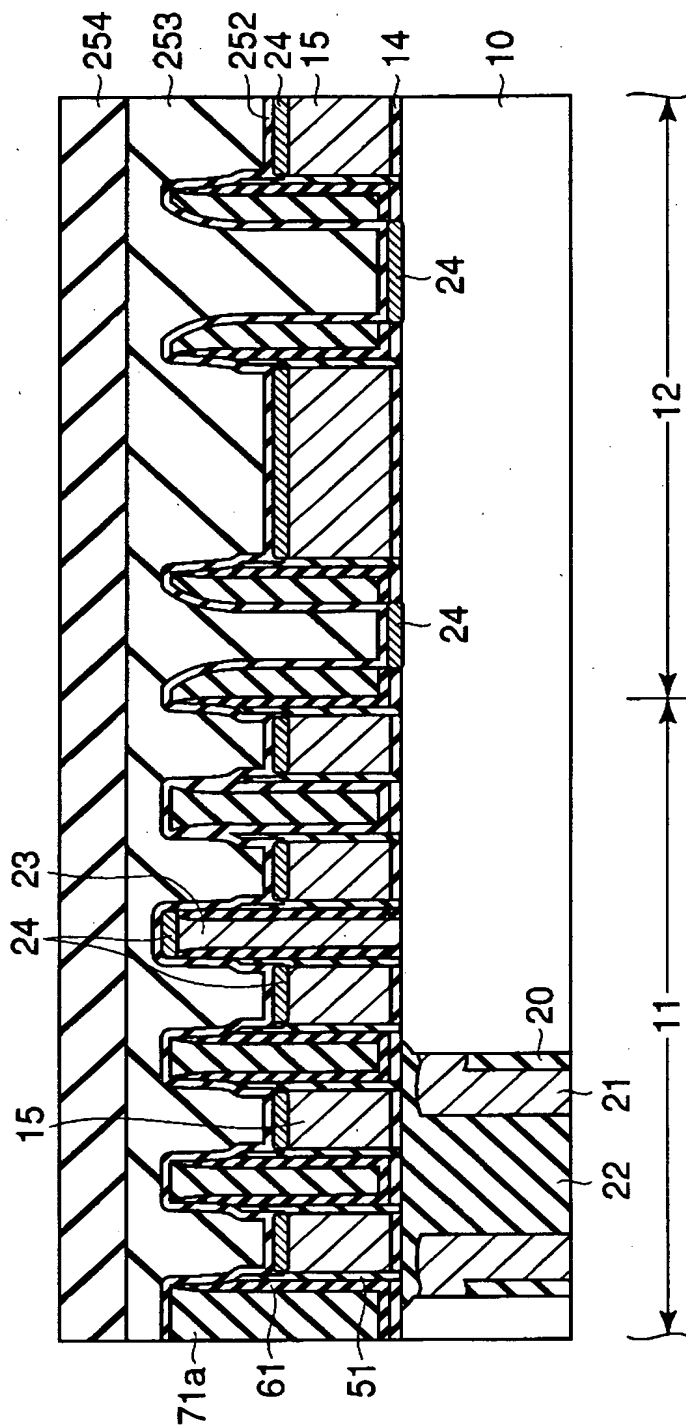
【図 12】



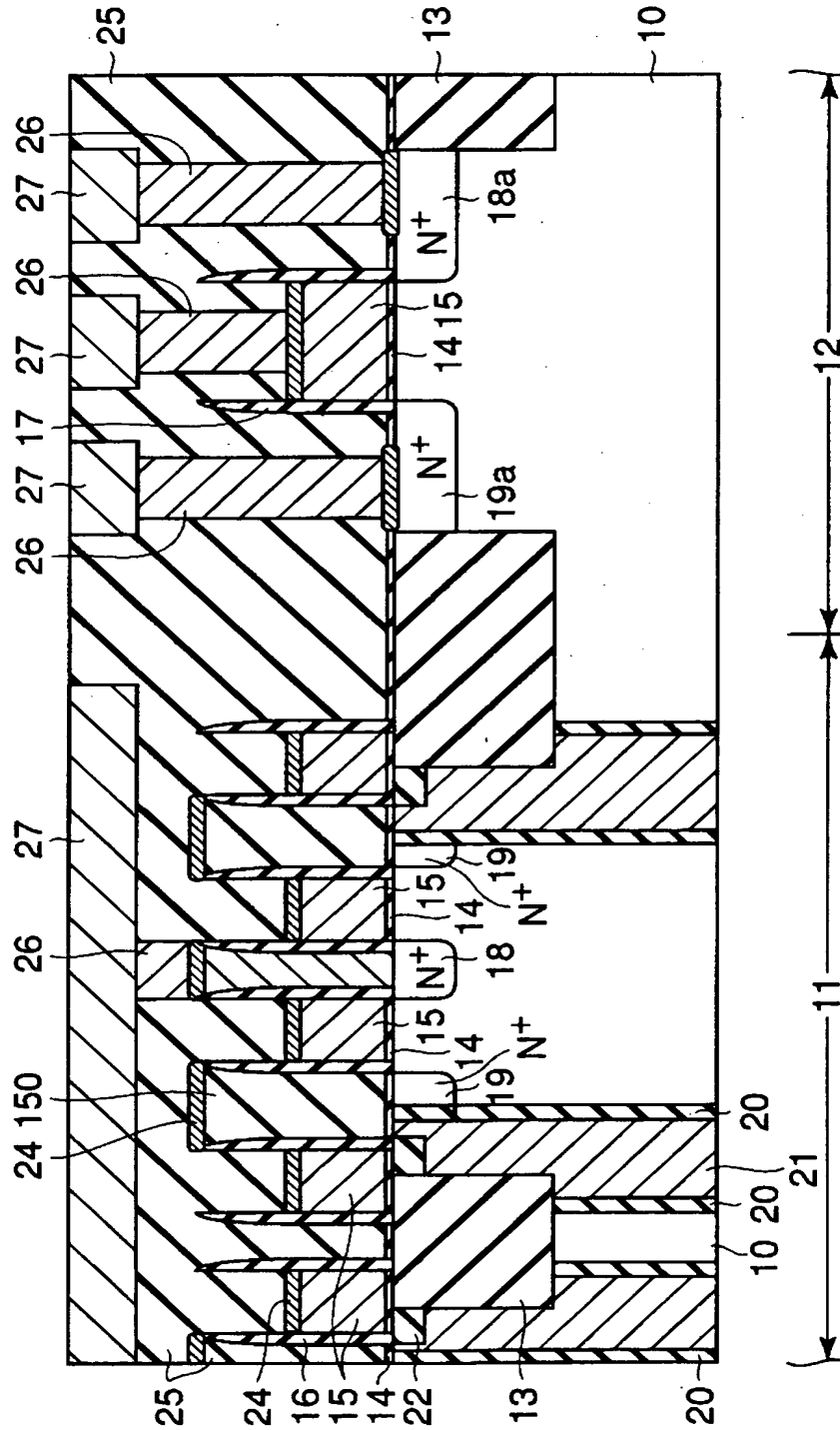
【図 13】



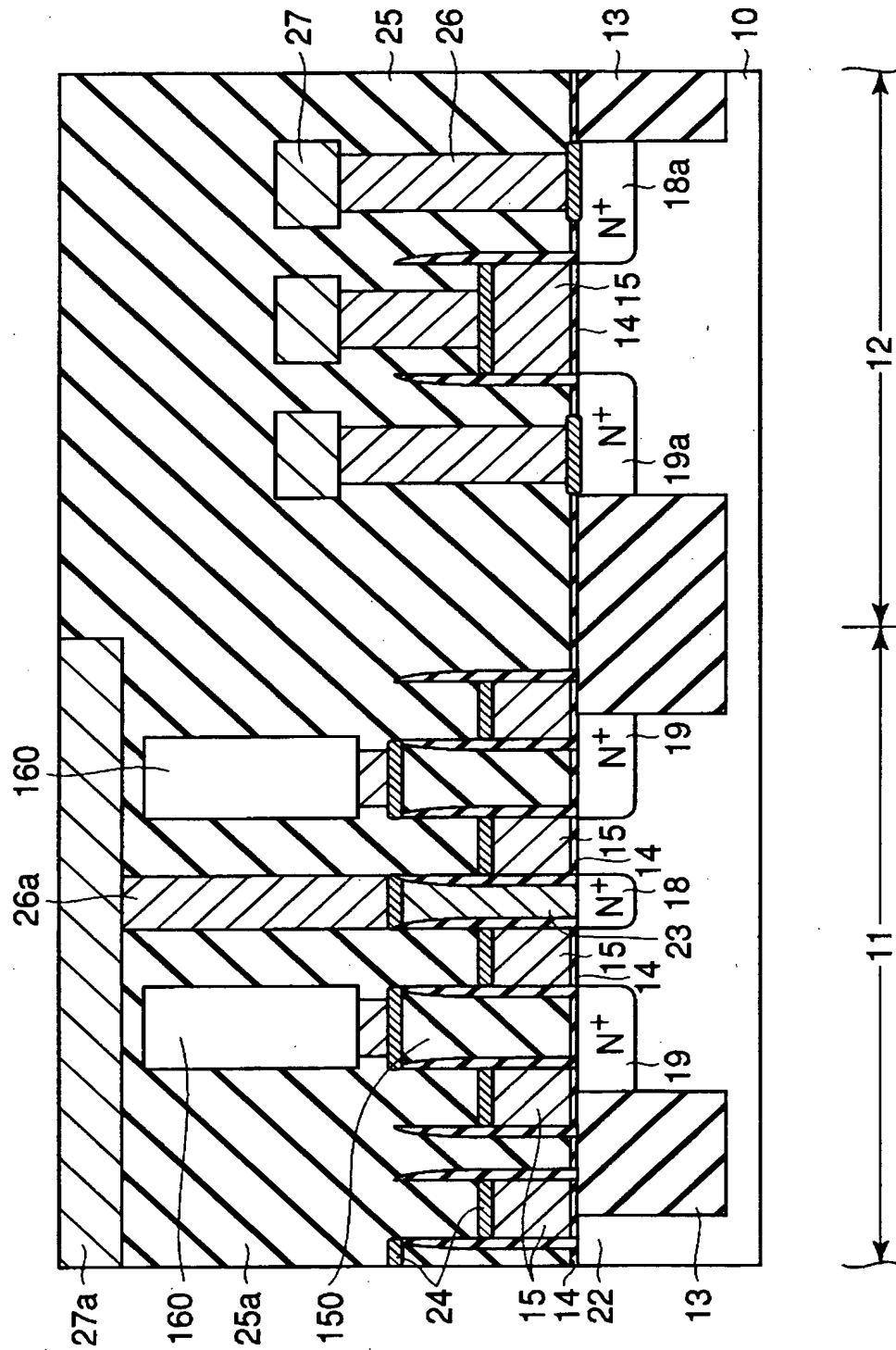
【图 14】



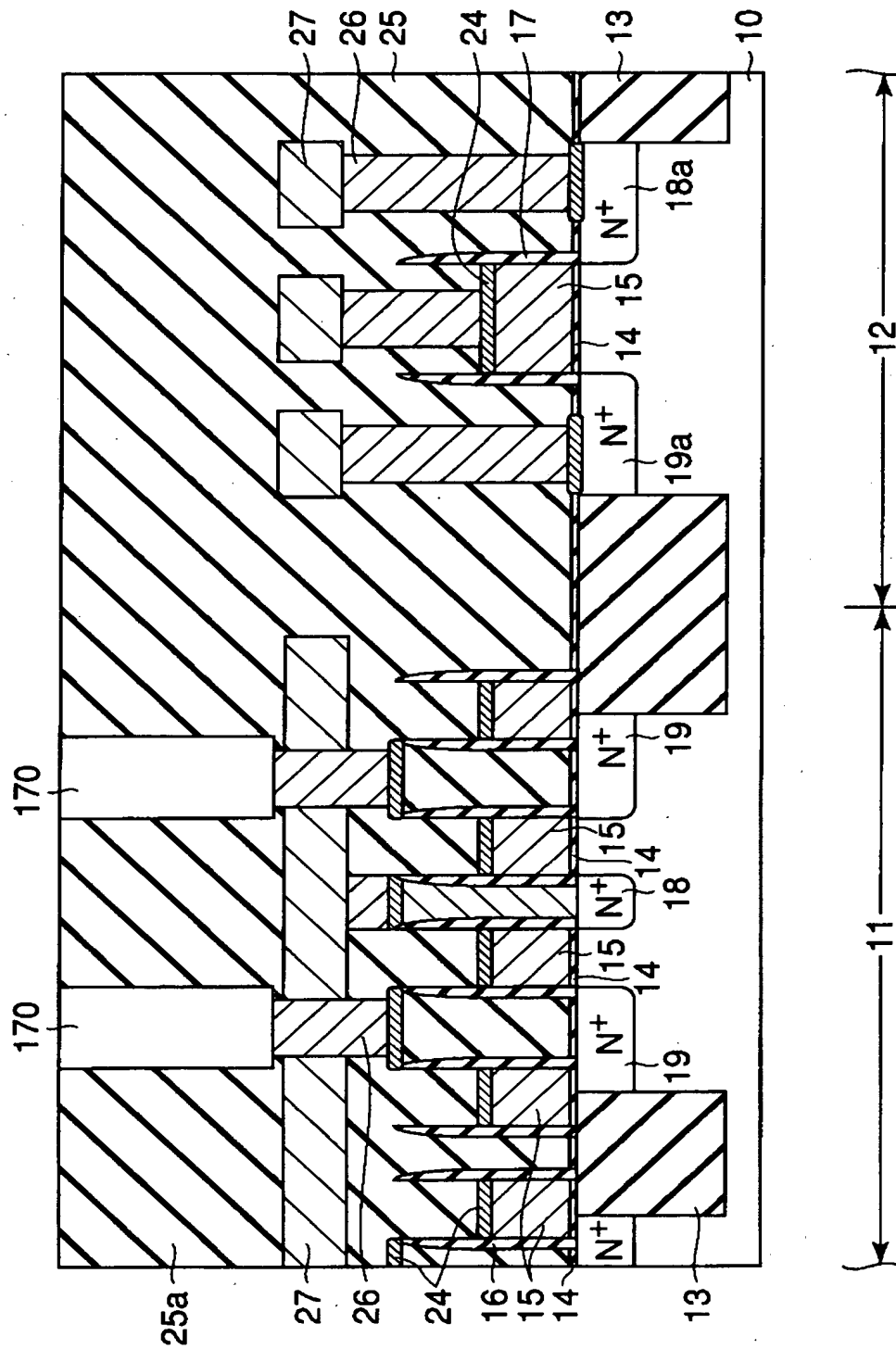
【図 15】



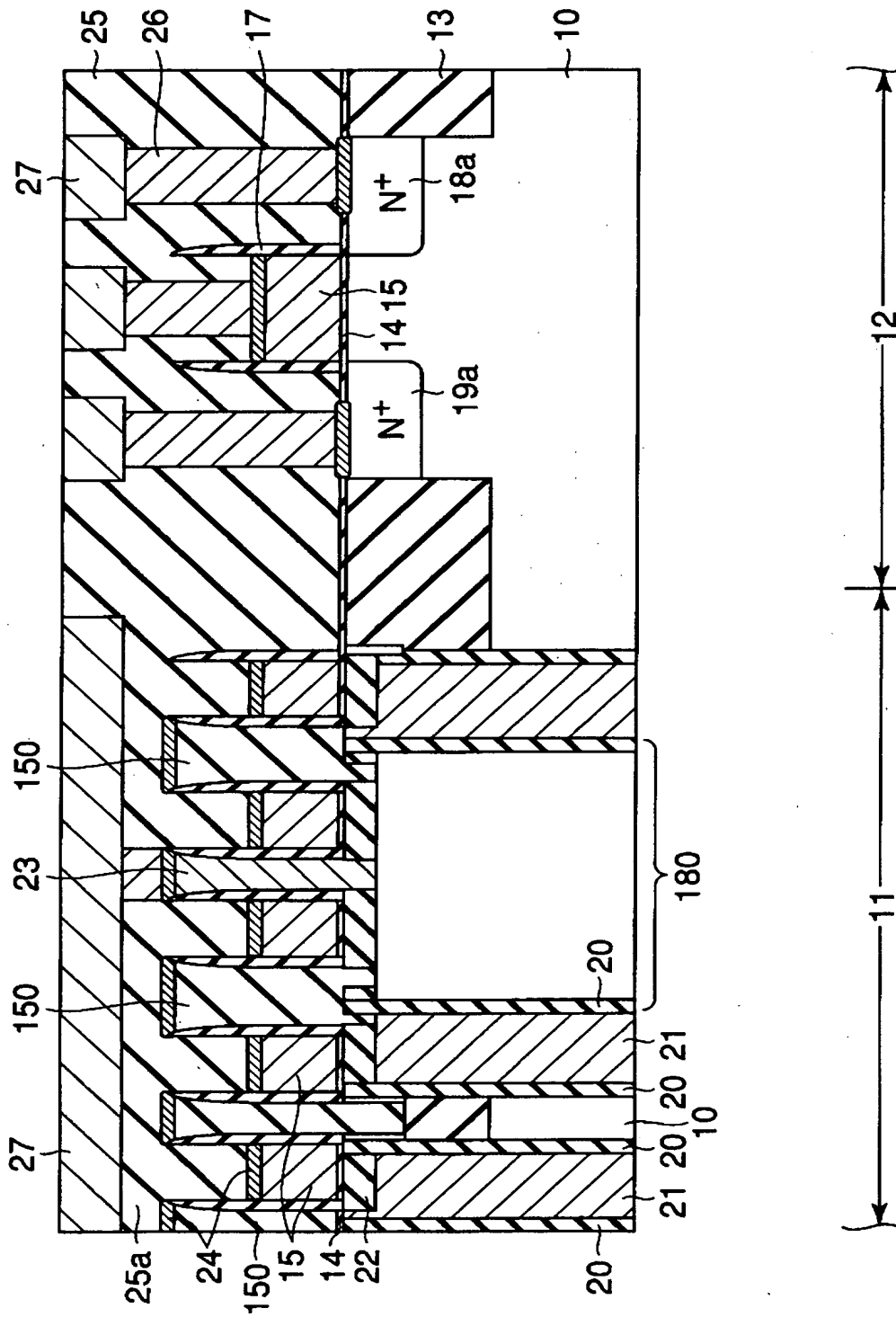
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 セルアレイ領域におけるビット線コンタクトの幅を小さく形成し、セルアレイ面積を縮小することが可能になるとともに、ワード線およびビット線コンタクトを低抵抗化し、ジャンクションリークを改善することが可能になる半導体装置およびその製造方法を提供する

【解決手段】 ポリシリコンゲート電極15を用いた転送ゲートトランジスタを含むダイナミック型メモリセルのアレイが形成されたセルアレイ領域11と、セルアレイ周辺トランジスタを含む周辺回路が形成されたセルアレイ外領域12と、セルアレイ領域内において、ビット線コンタクト23を共有するように隣り合って配置された転送ゲートトランジスタのポリシリコンゲート電極間でゲート側壁・スペース絶縁膜16を介して自己整合的に形成された導電性シリコンを用いたビット線コンタクト23とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝